

First Hit

End of Result Set

L23: Entry 1 of 1

File: JPAB

Sep 12, 1986

PUB-NO: JP361206079A

DOCUMENT-IDENTIFIER: JP 61206079 A

TITLE: DEFORMING PICTURE DISPLAYING SYSTEM

PUBN-DATE: September 12, 1986

INVENTOR-INFORMATION:

NAME

COUNTRY

ISHIHATA, HIROAKI

ISHII, MITSUO

KAKIMOTO, MASANORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP60047108

APPL-DATE: March 9, 1985

INT-CL (IPC): G06F 15/62; G06F 3/14

ABSTRACT:

PURPOSE: To obtain a high speed deforming picture displaying system by shifting in parallel the picture data divided and stored by plural processors connected in the square lattice shape after an individual processor independently executes the deforming processing.

CONSTITUTION: Plural processing elements pp are arranged in the lattice shape, and can communicate through a communication channel between processors with all adjoining processings pp. Respective processing elements pp have a video memory, a picture data obtained as the result of processing are stored to a video memory 5, and these are outputted to a video bus regardless of the action of the processing elements pp by the control signal from the external part. Respective processing elements pp have a completion flag which goes to be a logic '1' when the processing is completed, and for this, the WIRED AND is executed to a completing signal. A host computer and respective processing elements pp can identify the condition of all processing elements pp by watching the signal on the completing signal. Respective processing elements pp divide the picture data to the window and is in charge of it.

COPYRIGHT: (C) 1986, JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-206079

⑬ Int.CI.
G 06 F 15/62
3/14

識別記号

厅内整理番号
6615-5B
7341-5B

⑭ 公開 昭和61年(1986)9月12日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 変形画像表示方式

⑯ 特願 昭60-47108

⑰ 出願 昭60(1985)3月9日

⑱ 発明者 石畠 宏明 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発明者 石井 光雄 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 発明者 柿本 正憲 川崎市中原区上小田中1015番地 富士通株式会社内
㉑ 出願人 富士通株式会社 川崎市中原区上小田中1015番地
㉒ 代理人 弁理士 京谷 四郎

明細書

1. 発明の名称

変形画像表示方式

2. 特許請求の範囲

正方形子状に接続された複数のプロセッサのそれぞれが分割して記憶している画像データを、個々のプロセッサが独立に変形処理を行い、かかる後に必要に応じて平行移動することにより、全体として画像の変形を並列に行うことを特徴とする変形画像表示方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、所蔵プロセッサ・アレイを使用して画像の変形を行うようにした変形画像表示方式に関するものである。

(概要)

複数のプロセッサのそれぞれが自己のビデオ・

メモリ内に部分画像データを有し、全てのビデオ・メモリ内の部分画像データをディスプレイ装置に送ることによって1画面のデータが構成されるようになった表示システムにおいて、各プロセッサが独立に自己の保持する部分画像の変形処理を行い、かかる後に必要に応じて平行移動することにより、全体としての画像の変形を並列に行う変形画像表示方式である。

(従来技術と問題点)

画像データを変形したいという要求は多い。例えば、リモート・センシングにより得られた画像の歪補正などである。このような変形は2次元アフィン変換と呼ばれ、下記の式で示される。

$$x' = a_1 x + b_1 y + c_1 \quad (1)$$

画像データの全面素についての式の計算を行うことにより画像の変形を行う。全面素についての処理が必要なため、1個のプロセッサによる高速化には限界がある。

(発明の目的)

特開昭61-206078(2)

本発明は、上記の考案にもとづくものであって、画像データの変形処理を高速で行い得るようにした変形画像表示方式を提供することを目的としている。

(目的を達成するための手段)

そしてそのため本発明の変形画像表示方式は、正方格子状に接続された複数のプロセッサのそれぞれが分割して記憶している画像データを、個々のプロセッサが独立に変形処理を行い、しかし後に必要に応じて平行移動することにより、全体として画像の変形を並列に行うことを利用とするものである。

(発明の実施例)

本発明は小容量の画像メモリを持つ多數のプロセッサを並列動作させて画像の変形を高速で行う方式に関するものである。まず、本発明で使用されるプロセッサ・アレイについて説明する。第1図ないし第4図は本発明で使用されるプロセッサ・アレイを説明する図である。第1図はプロセッサ・アレイの概要を示す図であって、PPは処理エ

レメント(プロセッサ)を示している。また、矢印はプロセッサ間通信路を示している。複数の処理エレメントPPは格子状に配列されると共に各処理エレメントPPはプロセッサ間通信路を介して隣接する全ての処理エレメントPPと通信を行うことが出来る。各処理エレメントPPは、コマンド・バスを介してホスト計算機と接続され、ビデオ・バスを介してモニタ(ディスプレイ)と接続されている。ホスト計算機は、コマンド・バスを通して全ての処理エレメントPPにデータ及びプログラムを転送できると共に、任意の処理エレメントPPと通信を行うことが出来、更にコマンドにより全ての処理エレメントPPに実行を開始させ、全ての処理エレメントPPの実行終了を見て次のコマンドを送る。各処理エレメントPPはビデオ・メモリを有しており、処理の結果得られる画像データをビデオ・メモリに格納する。各処理エレメントPPのビデオ・メモリに格納されている画像データは、外部からの制御信号により処理エレメントPPの動作とは関係なくビデオ・バスに出力される。同様に

処理エレメントPPの動作とは関係なく、ビデオ・バス上の画像データをビデオ・メモリに取り込むことが出来る。各処理エレメントPPは処理が終了すると結果「1」になる終了フラグを有しており、各処理エレメントPPの終了フラグは終了信号にNIRED ANDされている。ホスト計算機及び各処理エレメントPPは、全処理エレメントPPの状態を終了信号上の信号を見ることにより認識することが出来る。各処理エレメントPPは、画像データを個々の大きさのウインド(WINDOW)に分割して担当することが出来る。

第2図は処理エレメントの1実施例のブロック図である。第2図において、1はアドレス・カウンタ、2はウインド発生部、3はプロセッサ・インターフェース、4はピクセル・カウンタ、5はビデオ・メモリ、6はプロセッサ、7はRAMとROMよりなるメモリ、8はプロセッサ間インタフェース、9はホスト・インターフェースをそれぞれ示している。ビデオ系は、アドレス・カウンタ1、ウインド発生部2、プロセッサ・インターフェース3、

ピクセル・カウンタ4及びビデオ・メモリ5などから構成されている。アドレス・カウンタ1は、画像の絶対位置を与えるカウンタであり、後述するようにX位置カウンタ及びY位置カウンタから構成されている。このアドレス・カウンタ1により、各処理エレメントPPは、所定のインタフェースから供給される画面クロック、ライン、フィールド、フレームなどの信号から画像の絶対位置を知る。ウインド発生部2は、アドレス・カウンタ1の出力するX位置及びY位置に基づいて現在の走査位置が自分の担当領域に属しているか否かを調べ、属している場合は1クロック毎にピクセル・カウンタ4の計数値をカウント・アップ又はカウント・ダウンさせる。ピクセル・カウンタ4の内容は、ビデオ・メモリ5のアドレスを指定する。ビデオ・メモリ5は、例えば16Kワード24ビットのメモリであり、インタリープを行わず、ビデオ・スピード(70ロット)でデータのリード/ライトを行う。プロセッサ6のアクセスとビデオ系のアクセスが競合した場合には、プロセッサ・インターフェース

特開昭61-206079 (3)

フェース3により、プロセッサ側が待たされる。メモリ7には、データやプログラムが格納される。プロセッサ間インターフェース8はプロセッサ間通信路に接続され、ホスト・インターフェース9はコマンド・バスに接続される。

第3図はアドレス・カウンタ及びウインド発生部2を含む部分の1例の詳細を示すものである。第3図において、10はX位置カウンタ、11はY位置カウンタ、12はX方向担当領域テーブル、13はY方向担当領域テーブル、14はAND回路、15ないし22はゲートを示している。また、論理「1」のWINDは現在の走査位置が自己のウインドに属していることを示し、※はアドレス・バス、■はデータ・バスを示している。

X位置カウンタ10及びY位置カウンタ11はアドレス・カウンタ1を構成している。X位置カウンタ10は、外部から供給される画面クロックCLKをカウントし、西側の水平方向の開始位置を示す水平同期信号HDによりクリアされ、水平方向の絶対位置を与える。Y位置カウンタ11は、水平同期信号

号HDをカウントし、西側の垂直方向の開始位置を示す垂直同期信号PRAMBによりクリアされ、垂直方向の絶対値を与える。

X方向担当領域テーブル12及びY方向担当領域テーブル13はそれぞれ8MHZから構成されている。西側の大きさが例えば $m \times n$ のものであれば、X方向担当領域テーブル12は1ビット $\times m$ アドレス以上の容量を持つRAMから構成され、Y方向担当領域テーブル13は1ビット $\times n$ アドレス以上の容量を持つRAMで構成される。担当領域に属する格子点に対応するX方向担当領域テーブル12のアドレスには論理「1」が書き込まれ、同様にY方向担当領域テーブル13のアドレスにも論理「1」が書き込まれる。自分の担当領域に属しない格子点については、対応するX方向担当領域テーブル12のアドレス及びY方向担当領域テーブル13のアドレスのデータが同時に論理「1」になることがない。担当領域とは、X方向担当領域テーブル12の出力及びY方向担当領域テーブル13の出力が共に論理「1」の領域であり、これをウインドと称する。

X位置カウンタ10の内容はゲート15を介してX方向担当領域テーブル12のアドレス端子に入力され、X方向担当領域テーブル12からはX位置カウンタ10の内容で指定されたアドレスのデータが読み出される。同様に、Y位置カウンタ11の内容はゲート16を介してY方向担当領域テーブル13のアドレス端子に入力され、Y方向担当領域テーブル13からはY位置カウンタ11の内容で指定されたアドレスのデータが読み出される。X方向担当領域テーブル12及びY方向担当領域テーブル13から読み出されたデータは、AND回路14に入力される。AND回路14の出力が信号WINDとなる。プロセッサ6は、アドレス・バス※及びデータ・バス※を用いてX方向担当領域テーブル12をリード／ライトすることができる。Y方向担当領域テーブル13についても同様である。

第4図はピクセル・カウンタ4及びビデオ・メモリ5を含む部分の1例の詳細を示す図である。第4図において、23はフレーム・アドレス・レジスタ、24と25はAND回路、26ないし30はゲートを

それぞれ示している。なお、第2図、第3図と同一符号は同一物を示している。先に述べたように、ピクセル・カウンタ4は、ビデオ・メモリ5のアドレスを示す。AND回路25は信号WINDが論理「1」の状態の下で画面クロックCLKが入力されると、ピクセル・カウンタ4のクロック端子にクロックを供給する。クロック端子にクロックが入力されると、ピクセル・カウンタ4の計数値はカウント・アップされる。信号WINDが論理「1」の場合には、ピクセル・カウンタ4の計数値がビデオ・メモリ5のアドレスとなり、ライト・イネーブル信号NBが書き込みを指示している状態の下においてはビデオ・バス上の西側データがビデオ・メモリ5に書き込まれ、信号NBが読み出しを指示している場合にはビデオ・バス上にビデオ・メモリ5からの読み出データが送出される。プロセッサ6は、アドレス・バス※及びデータ・バス※を使用してビデオ・メモリ5をアクセスすることができるが、プロセッサ間によるビデオ・メモリ・アクセスは信号WINDが論理「0」のときに行われる。フ

特開昭61-208078(4)

フレーム・アドレス・レジスタ23は、ビデオ・メモリ5に記憶された画像データの開始アドレスを保持するものであり、フレーム・アドレス・レジスタ23の内容は各フレームの最初にピクセル・カウンタ4にロードされる。

さて、(1)式は下記のように回転、拡大、縮小と平行移動の座標に分割することが出来る。

$$\begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} + \begin{bmatrix} e \\ f \end{bmatrix}$$

回転、拡大、縮小 平行移動

第5図は処理エレメントPPの担当領域の例を示す図である。与えられた画像データを略ぼ同じ位の大きさの方角に分割し、各処理エレメントPPに割当てる。各処理エレメントPPは自分の担当する部分画像データを独自に表示し、全体として見ると、1枚の画像データとなる。

第6図は画像の回転を説明する図である。画像の回転は、画像データを与えられた位置を中心にしてだけ回転させることを意味している。

る時は④の処理の後、⑤で求めた領域の平行移動を行い、その結果得られる領域を自分の担当領域とし、⑥の表示位置を変更すれば良い。なお、部分画像データの表示出力は、負論理でNIRBD ORされており、各処理エレメントPPの担当領域が重なっても、重なったデータのORが表示される。2つの処理エレメントPPの担当領域が重なった場合でも、一方の処理エレメントPPの部分画像データが黒の場合は、もう一方の処理エレメントPPの部分画像データが表示される。

(説明の結果)

以上の説明から明らかのように、本発明によれば、画像の変形を従来方式に比べ高速で行うことが可能となる。

4. 図版の簡単な説明

第1図はプロセッサ・アレイの概要を示す図、第2図は処理エレメントの1実施例のブロック図、第3図はアドレス・カウンタ及びウインド発生部を含む部分の1例の詳細を示す図、第4図はピク

各処理エレメントPPはホスト計算機から画像の回転を指示されると下記のような処理を行う。

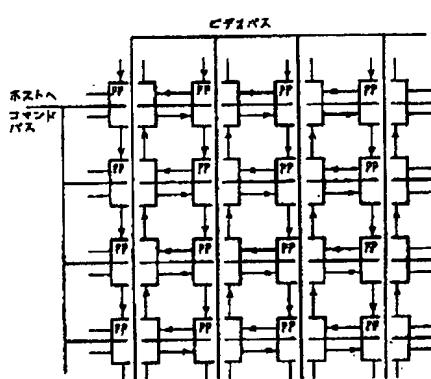
- ① 自分の担当領域の部分画像データの4隅の位置の回転後の位置を求める。
- ② ①で求めた回転後の4点を含む方形（第6図の点線で示す）を求める、これを新たな担当領域とする。
- ③ 新たな担当領域の左上隅を表示位置として設定する。
- ④ 新たな担当領域の全面素について①の回転を行い、元の部分画像データの対応する画像データを求め、その値を書き込む。もし対応する画像が無ければ黒とする。
- ⑤ ないし⑥の処理を全ての処理エレメントPPが並列して行うことにより、画像の回転処理を1台の計算機で処理する場合に比べ1/Nの時間で行うことができる。但し、Nは処理エレメントPPの設置台数である。各処理エレメントPPの担当領域が重なり合う部分は黒データが書かれており、他へ影響を及ぼすことはない。平行移動が含まれてい

セル・カウンタ及びビデオ・メモリを含む部分の1例の詳細を示す図、第3図は処理エレメントの担当領域の例を示す図、第6図は画像の回転処理を説明するための図である。

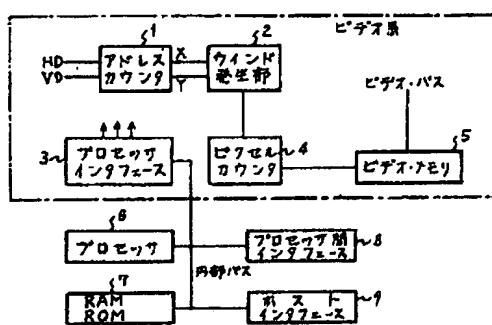
PP…処理エレメント、1…アドレス・カウンタ、2…ウインド発生部、3…プロセッサ・インタフェース、4…ピクセル・カウンタ、5…ビデオ・メモリ、6…プロセッサ、7…RAMとROMよりなるメモリ、8…プロセッサ間インターフェース、9…ホスト・インターフェース、10…X位置カウンタ、11…Y位置カウンタ、12…X方向担当領域テーブル、13…Y方向担当領域テーブル、14…AND回路、15…ないし22…ゲート、23…フレーム・アドレス・レジスタ、24と25…AND回路、26…ないし30…ゲート、31…ホスト計算機、32…ディスプレイ、33…画面、34…ライン。

特許出願人 富士通株式会社
代理人弁理士 京谷四郎

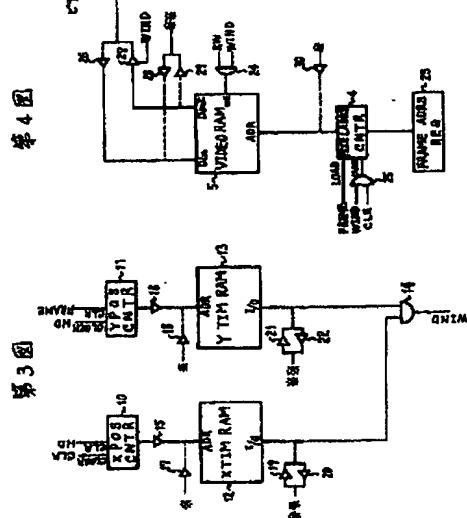
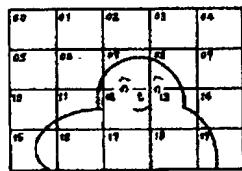
第1図



第2図



第5図



第6図

